

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-004126
 (43)Date of publication of application : 06.01.1998

(51)Int.Cl. H01L 21/60
 H01L 23/12
 H05K 3/32
 H05K 3/46

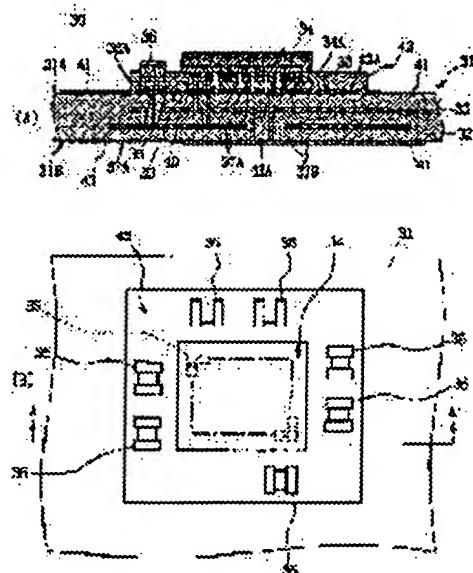
(21)Application number : 08-175646 (71)Applicant : SONY CORP
 (22)Date of filing : 14.06.1996 (72)Inventor : OKUHORA AKIHIKO

(54) MOUNTING BOARD, ELECTRONIC COMPONENT MOUNTING, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable practically sufficient reduction in layout spacing between electronic components at a point where noise prevention and high-density mounting are to be performed.

SOLUTION: Electrodes 35, 36A of electronic components 34, 36 are joined with lands 37A of a wiring board 31 via an anisotropic conductive member 42, and the electronic components 34, 36 and the wiring board 31 are held in an integral manner. Thus, since the spacing between the electronic components 34, 36 does not depend upon the cutting accuracy of the anisotropic conductive member 42 or the positioning accuracy with respect to the wiring board 31, the layout spacing between the electronic components 34, 36 may be significantly reduced. Thus, a mounting board, an electronic component mounting method and a semiconductor device which enable high-density mounting may be realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-4126

(43) 公開日 平成10年(1998)1月6日

(51) Int.Cl.* 認別記号 執内整理番号 F I 技術表示箇所
 H 0 1 L 21/60 3 1 1 H 0 1 L 21/60 3 1 1 S
 23/12 H 0 5 K 3/32 B
 H 0 5 K 3/32 3/46 Q
 3/46 H 0 1 L 23/12 F
 L

審査請求 未請求 請求項の数? FD (全 9 頁)

(2) 出願番号 特願平8-175646

(22) 出願日 平成8年(1996)6月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目2番35号

(72) 發明者 奥洞 明彦

東京都品川区北品川6丁目2番35号

東京都川口
株式会社内

(34) 代理人 本公司
内社云会式株

(54) 【発明の名称】 実装基板、電子部品実装方法及び半導体装置

(57)【要約】

【課題】ノイズ対策及び高密度実装する点において、各電子部品の配置間隔を実用上十分に近づけることが困難な問題があつた。

【解決手段】異方性導電部材（42）を介して各電子部品（34、36）の各電極（35、36A）をそれぞれ配線基板（31）の対応するランド（37A）に接合すると共に、各電子部品（34、36）と配線基板（31）とを一体に保持する。これにより、各電子部品（34、36）の間隔は異方性導電部材（42）の切取り精度及び配線基板（31）に対する位置決め精度に依存しないので、各電子部品（34、36）の配置間隔を大幅に狭めることができる。かくして高密度実装し得る実装基板（30）、電子部品実装方法及び半導体装置を実現することができる。

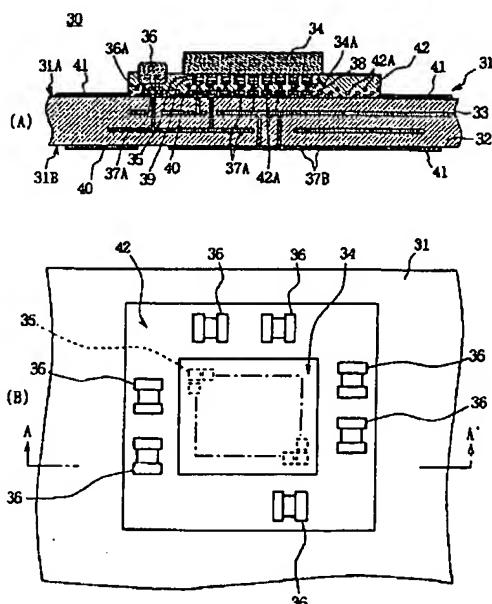


図1 実施例による実装基板の構成

1

【特許請求の範囲】

【請求項1】複数の電子部品と、一方の面に上記複数の電子部品の各電極に対応したランドが設けられた配線基板と、上記各電子部品の上記各電極をそれぞれ配線基板の対応する上記ランドに接合すると共に、上記各電子部品と上記配線基板とを一体に保持する異方性導電部材とを具えることを特徴とする実装基板。

【請求項2】上記各電子部品の上記各電極が設けられている面と対向する面側を被覆する絶縁性樹脂を具えることを特徴とする請求項1に記載の実装基板。

【請求項3】複数の電子部品の各電極に対応させて一方の面にランドが設けられた配線基板を作製する第1の工程と、

上記複数の電子部品の上記各電極をそれぞれ異方性導電部材を介して上記配線基板の対応する上記ランドに接合すると共に、上記異方性導電部材を介して上記複数の電子部品及び上記配線基板を一体に保持する第2の工程とを具えることを特徴とする電子部品実装方法。

【請求項4】上記各電子部品の上記各電極が設けられている面と対向する面側から絶縁性樹脂を滴下することにより、当該絶縁性樹脂によつて上記複数の電子部品を被覆する第3の工程を具えることを特徴とする請求項3に記載の電子部品実装方法。

【請求項5】配線基板の一方の面に実装される半導体装置において、複数の電子部品と、

一方の面に上記複数の電子部品の各電極に対応したランドが設けられた配線基板と、

上記各電子部品の上記各電極をそれぞれ配線基板の対応する上記ランドに接合すると共に、上記各電子部品と上記配線基板とを一体に保持する異方性導電部材とを具えることを特徴とする半導体装置。

【請求項6】上記各電子部品の上記各電極が設けられている面と対向する面側を被覆する絶縁性樹脂を具えることを特徴とする請求項5に記載の半導体装置。

【請求項7】上記配線基板は、他方の面に設けられたランドと、上記ランド上に設けられた電気的接続手段とを具えることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図7及び図8）

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

（1）第1実施例（図1及び図2）

（2）第2実施例（図3）

2

（3）他の実施例（図4～図6）

発明の効果

【0002】

【発明の属する技術分野】本発明は実装基板、電子部品実装方法及び半導体装置に関し、例えば多層配線基板の一方の面にペアチップ及びチップ部品が実装されてなる実装基板、電子部品実装方法及び半導体装置に適用して好適なものである。

【0003】

10 【従来の技術】従来、エンジニアリングワークステーション（Engineering Work Station, EWS）やパーソナルコンピュータ等の情報処理装置においては、並列処理化の促進及びクロック速度の高速化によつて処理能力が向上していると同時に、半導体集積化技術及び実装技術の向上に伴つて、この種の情報処理装置は小型化されてきている。

【0004】またこの種の情報処理装置においては、取り扱う情報量が増加し、これに伴つてシステムクロックも高速化している。さらにセルラ電話、ISDN（Integrated Services Digital Network）、総合デジタル通信サービス網）やパーソナルコンピュータ等の情報通信（ネットワーク）技術の向上に伴つて、様々な機器に高周波通信プロトコルや光速シリアルインターフェース等が用いられている。

【0005】このように特に情報処理分野や情報通信分野では、情報のデジタル化及び信号の高速化に伴つてシステムが変化しており、上述のようなパーソナルコンピュータ等の機器に用いられる高周波回路プロトコルにおける低ノイズ化及び機器の小型化が望まれている。このような要望を実現するため、半導体チップの実装方法として、マルチチップモジュール（Multichip Module, MCM）やフリットチップ実装等のペアチップ実装が利用されている。

【0006】通常、ペアチップを用いたフリットチップ実装においては、当該ペアチップの回路面に形成された複数の電極（以下、これをパッドと呼ぶ）上にそれぞれはんだ等でなるパンプを形成した後、ペアチップの回路面とマザーボードの一方の面とを対向させてペアチップの各パンプをそれぞれマザーボードの一方の面に配設された対応するランドに接合させることにより、当該マザーボードの一方の面にペアチップを実装するようになされている。

【0007】なおペアチップが実装されるマザーボードとしては、通常、ガラスエポキシ又はガラスボリイミド等の有機基板と所定の配線パターンとが順次積層されてなる多層配線基板、アルミナ又はムライト等のセラミック基板と所定の配線パターンとが順次積層形成されてなる多層配線基板又はシリコン基板の一方の面に銅等でなる所定の配線パターン層とボリイミド層とが順次積層形成されてなる多層配線基板等が用いられる。

3

【0008】このフリップチップによる実装としては、ペアチップのパッド上に高融点はんだでなるパンプを形成し、マザーボード上にはんだプリコートを行うことにより、ペアチップの各パッドとマザーボードの対応する各ランドとを接続するはんだフリップチップ法や、ペアチップの各パッド上にAu(金)ワイヤボンディング法を用いてAuパンプを形成し、Ag(銀)ベースト等の導電性ベーストをパンプ上に適量だけ転写した後、ペアチップをマザーボード上に直接マウントする導電性樹脂フリップチップ法などがある。

【0009】ここでははんだフリップチップ実装によつてマザーボードの一方の面にペアチップが実装された実装基板の一例を図7に示す。図7(A)及び図7(B)に示すように、この実装基板1においては、ペアチップ2の回路面2Aの最外周に沿つて所定ピッチに複数設けられたパッド3と、これら各パッド3に対応してマザーボード4の一方の面4Aに設けられたランド5とが例えば高融点はんだでなるパンプ6を介して接合することにより、当該マザーボード4の一方の面4Aにペアチップ2が実装されている。またこの実装基板1においては、抵抗やコンデンサ等のノイズ対策部品であるチップ部品7がはんだ8によつてマザーボード4の一方の面4Aに対応するランド5に実装されている。

【0010】この場合、マザーボード4はセラミック基板9と銅等でなる所定の配線パターン層10とが交互に積層形成されてなり、当該マザーボード4の一方の面4A及び他方の面4Bの所定の領域にはソルダレジスト11が形成されている。またマザーボード4の一方の面4Aの各ランド5上には例えば共晶はんだでなるはんだプリコート層12が形成されている。これにより、この実装基板1においては、リフロー時、高融点はんだは溶融せず、かつ共晶はんだが溶融する程度の温度ではんだプリコート層12がリフローされ、溶融したはんだプリコート層12が各パンプ6に溶着される。

【0011】またこの実装基板1においては、マザーボードの一方の面4Aにペアチップ2が実装された後、当該マザーボード4の一方の面4Aとペアチップ2の回路面2Aとの間の隙間に絶縁性樹脂13が充填されてペアチップ2が封止される。これにより、マザーボード4とペアチップ2との熱膨張係数の違いに起因して各パンプ6に応力が集中することにより生ずる各パンプ6の破損を防止するようになされている。

【0012】ここで図7(B)に示すように、ペアチップ2の周囲には絶縁性樹脂13を封入したときチップ部品7が絶縁性樹脂13によつて固定することを防止するための部品搭載禁止領域14が形成されている。この場合、絶縁性樹脂13を封入する側の部品搭載禁止領域14Aは、当該絶縁性樹脂13を封入する封入口となるため大きく形成されている。

【0013】ところがこのように絶縁性樹脂13によつ

4

てペアチップ2を封止する必要があるフリップチップ実装の場合、上述のように部品搭載禁止領域14を設ける必要があるため、その分ペアチップ2とチップ部品7との配置間隔が大きくなり、この結果実装密度が低下すると共にノイズの低減化を損なうおそれがある。特にデジタル回路の場合にはペアチップ2にノイズ対策部品であるデカッピングコンデンサや終端抵抗を実装する場合が多いため、絶縁性樹脂13による封止が必要なフリップチップ実装を行つた場合には、実装密度が低下すると共にノイズの低減化を損なうおそれがある。

【0014】そこでこのような問題を解決するための1つの方法として、異方性導電フィルム(Anisotropic Conductive Film, ACF)を用いたフリップチップ実装法が提案されている。ここで異方性導電フィルム(接着剤)を用いた実装基板の一例を図7との対応部分に同一符号を付して示す図8に示す。

【0015】この実装基板20においては、各パッド3上に例えばAuワイヤボンディング法を用いてAuパンプ21が形成されたペアチップ2の回路面2Aを、マザーボード4の一方の面4Aにパッド3に対応して設けられた各ランド5を覆うように接着された異方性導電フィルム22に対して、例えば100～240[°C]の圧着温度、50～40[秒]の圧着時間、1パンプ当たり5～100[g]の圧力で熱圧着することにより、マザーボード4の一方の面4Aにペアチップ2が実装されている。

【0016】この場合、ペアチップ2においては、回路面2Aに設けられた各パッド3上には、例えばチタン、白金、金でなる金属被膜層が順次積層形成されてなるBLM(Ball Limiting Metal)膜層23が形成されており、当該各BLM膜層23上にそれぞれAuパンプ21が形成されている。このBLM膜層23はAuパンプ21のパッド3への拡散を防止するようになされている。ここでこの実装基板20においては、各パンプ21が異方性導電フィルム22中に均一に分散された導電性粒子22Aを介してマザーボード4の各ランド5に接合されることにより、ペアチップ2の各パッド3とマザーボード4の対応するランド5が電気的に接合するようになされている。

【0017】

【発明が解決しようとする課題】ところでこの異方性導電フィルムを用いたフリップチップ実装法では、マザーボード4の一方の面4Aに異方性導電フィルム22を位置合わせて仮付けを行う際、ノイズ対策チップ部品7をできる限りペアチップ2の近傍に配設すれば、高密度実装及びノイズの低減化を実現することができると考えられる。

【0018】ところがかかる方法によつてペアチップ2及びチップ部品7をマザーボード4に実装する場合、異方性導電フィルムの周縁部の位置がペアチップ2とチップ部品7との間に配置されるように、異方性導電フィル

50

ム22を大きな異方性導電フィルムから切り取る必要があると共に、切り取つた異方性導電フィルム22をマザーボード4に対して位置決めしなければならない。この場合、互いに隣り合うペアチップ2及びチップ部品7は、大きな異方性導電フィルムから各ペアチップ2に対応した大きさの異方性導電フィルム22を切り取る際に生ずる寸法誤差と、当該切り取られた異方性導電フィルム22をマザーボード4の一方の面4Aに接着する際の位置決め誤差を考慮して、これら寸法誤差及び位置決め誤差よりも大きな間隔で配置しなければならず、ノイズ対策及び高密度実装する点においてペアチップ2とチップ部品7との配置間隔を実用上十分に近づけることが困難な問題があつた。

【0019】本発明は以上の点を考慮してなされたもので、高密度実装し得る実装基板、電子部品実装方法及び半導体装置を提案しようとするものである。

【0020】

【課題を解決するための手段】かかる課題を解決するため本発明においては、異方性導電部材を介して各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する。異方性導電部材上に各電子部品が配置されるので、各電子部品の間隔は異方性導電部材の切取り精度及び配線基板に対する位置決め精度に依存せず、各電子部品の配置間隔を大幅に狭めることができる。

【0021】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0022】(1) 第1実施例

図1において、30は全体として実装基板を示し、マザーボード31はガラスエポキシ基板32と所定の配線バターン層33とが交互に積層形成されてなる。このマザーボード31の一方の面31Aには、電子部品としてのペアチップ34の回路面34Aに設けられた各パット35と、当該ペアチップ34の周囲に配置された電子部品としてのチップ部品36の一方の面に設けられた電極36Aとにそれぞれ対応したランド37Aが、例えばCu(銅)箔をエッティングすることにより形成されている。またマザーボード31の他方の面31Bにも例えばCu箔をエッティングすることにより複数のランド37Bが形成されている。

【0023】また各ランド37A上にはニッケル(Ni)/金(Au)めつき層38が形成されており、これによりペアチップ34の各パット35上にBLM膜層39を介して形成されたAuバンプ40とランド37Aとの接続抵抗を低下させると共に、Auバンプ40とランド37Aとの導電性を向上させ得るようになされている。またマザーボード34の一方の面34A及び他方の面34Bの所定の領域にはソルダレジスト41が形成されている。

【0024】ペアチップ34の回路面34Aには当該回路面34Aの最外周に沿つて例えばA1、A1S₁又はA1S₂、C₁でなるパット35が複数設けられており(図1(B))、当該各パット35上にはそれぞれBLM膜層39が形成されている。またBLM膜層39上にはそれぞれAuバンプ40が形成されており、このBLM膜層39はAuバンプ40のパット35への拡散を防止し得るようになされている。

【0025】ここでマザーボード31の一方の面31Aには、所定の厚みでなる接着フィルム状の異方性導電フィルム42が各ランド37Aを覆うように接着されており、この異方性導電フィルム42はマザーボード31、ペアチップ34及びチップ部品36を一体に保持するようになされている。この異方性導電フィルム42中には、プラスチックボールに例えばAu及びNi等がめつきされた直径約2~10[μm]の導電性粒子42Aが均一に分散されており、ペアチップ34の各バンプ35とチップ部品36の電極36Aとはこの導電性粒子42Aを介してマザーボード31の対応するランド37Aに電気的に接合されている。

【0026】また図1(B)に示すように、異方性導電フィルム42の大きさは、ペアチップ34及び当該ペアチップ34の周囲に配置されるチップ部品36を当該異方性導電フィルム42を介してマザーボード31の一方の面31Aに実装し得るような大きさに選定されている。

【0027】ここでマザーボード31の一方の面31Aにペアチップ34及びチップ部品36を実装する工程を図2に示す。まずペアチップ34の回路面34Aに設けられた各パット35のBLM膜層39上に、例えばワイヤボンディングツールを用いてAuバンプ40を形成する。続いてマザーボード31を作製した後、当該マザーボード31の他方の面31Bを所定の支持装置43によって支持した状態で、マザーボード31の一方の面31Aに、各ランド37Aを覆うような所定の大きさでなる異方性導電フィルム42を仮付けする。この場合、異方性導電フィルム42のガラス転移点温度以下の温度で当該異方性導電フィルム42をマザーボード31の一方の面31Aに仮付けする(図2(A))。

【0028】続いてペアチップ34の回路面34Aに向する他方の面34Bを所定の吸着装置44で吸着し、ペアチップ34の回路面34Aをマザーボード31の一方の面31Aに対向させると共に、ペアチップ34の各パット35をマザーボード31の対応する各ランド37Aに位置決めした後、100~240[°C]の圧着温度、5~40[秒]の圧着時間、1バンプ当たり5~100[g]程度の圧力の熱圧着条件でペアチップ34を異方性導電フィルム42に対して熱圧着する(図2(B))。

【0029】次にチップ部品36の電極36Aをマザーボード31の対応するランド37Aに位置決めした後、

加熱ヘッドを有するツール（図示せず）を用いて上述の熱圧着条件でチップ部品36を異方性導電フィルム42に対して熱圧着させることにより、当該チップ部品36をマザーボード31の一方の面31Aに固定させる（図2（C））。このときペアチップ34の各パッド35に設けられたパンプ39及びチップ部品36の電極36Aと、マザーボード31の対応するランド37Aとは、異方性導電フィルム42中に存在する導電性粒子42Aを介して電気的に接合される。かくしてマザーボード31の一方の面31Aにペアチップ34及びチップ部品36が機械的及び電気的に実装される。

【0030】以上の構成において、この実装基板30では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、異方性導電フィルム42の周縁部の位置を、チップ部品36の外側に配置することができるので、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取つた異方性導電フィルム42をマザーボード31に対して接着する際の位置決め精度を従来の実装基板20に比して大幅に緩和することができる。従つてペアチップ34とチップ部品36との間隔は異方性導電フィルム42の切り取り精度及びマザーボード31に対する位置決め精度に依存しないので、従来の実装基板20に比してペアチップ34とチップ部品36との間隔を大幅に狭くすることができる。

【0031】またこの実装基板30では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、ペアチップ34とチップ部品36と同じ方法でマザーボード31に実装し得るので、従来の実装基板1及び20のようにペアチップとは別個の方法でチップ部品を実装する場合に比して、実装工程を簡易化し得ると共に実装時間を短縮することができる。

【0032】またこの実装基板30では、ペアチップ34及びチップ部品36は異方性導電フィルム42中の導電性粒子42Aを介してマザーボード31の対応するランド37Aと電気的に接続されるので、ペアチップ34及びチップ部品36をマザーボード31の対応するランド37Aと低抵抗で接続することができる。またこの実装基板30では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、はんたを使用していない分、実装基板30を軽量化し得ると共に、当該実装基板30を廃棄処分する際にはんだの廃棄を防止することができる。

【0033】さらにこの実装基板30では、マザーボード31の一方の面31Aに設けられた各ランド37A上面にNi/Auめつき層38が形成されているので、ペアチップ34及びチップ部品36とマザーボード31との接続抵抗を低下させることができると共に、マザーボード31の各ランド37Aとペアチップ34の各パッド35及びチップ部品36の電極36Aとの導電性を向上さ

せることができる。

【0034】以上の構成によれば、ペアチップ34の各パッド35とチップ部品36の電極36Aとをそれぞれ異方性導電フィルム42を介してマザーボード31の対応するランドに接合すると共に、異方性導電フィルムを介してペアチップ34及びチップ部品36とマザーボード31とを一体に保持したことにより、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取つた異方性導電フィルム42をマザーボード31に対して接着する際の位置決め精度を従来の実装基板20に比して大幅に緩和することができるので、従来の実装基板20に比してペアチップ34と当該ペアチップ34の周囲に配置されるチップ部品36との間隔を大幅に狭くすることができる。またペアチップ34及びチップ部品36と同じ方法でマザーボード31に対して実装し得るので、実装工程を簡単にできる。かくして簡易な工程によって高密度実装し得る低ノイズの実装基板30及び実装方法を実現することができる。

【0035】（2）第2実施例

図1との対応部分に同一符号を付して示す図3において、50は全体として半導体装置を示し、ペアチップ31及びチップ部品36が異方性導電フィルム42を介して、ガラスエポキシ基板51及び所定の配線パターン層52が交互に積層形成されてなる多層配線基板53の一方の面53Aに実装されたチップサイズパッケージで構成されている。

【0036】この半導体装置50は、ペアチップ34の各パッド35上に設けられたAuパンプ39とチップ部品36の電極36Aとは、異方性導電フィルム42中に存在する導電性粒子42Aを介して多層配線基板53の一方の面53Aに設けられた対応するランド54Aに電気的に接合されていると共に、異方性導電フィルム42を介してペアチップ34及びチップ部品36と多層配線基板53とが一体に保持されている。またこの半導体装置50の場合、ペアチップ34及びチップ部品36は、当該ペアチップ34の回路面34Aと対向する面34B側及びチップ部品36の電極36Aが形成される面と対向する面側がエポキシ樹脂55によって覆われている。

【0037】またこの半導体装置50は、多層配線基板53の他方の面53Bに設けられた各ランド54B上面に、0.3~1.0[mm]程度のピッチではんだボール56が形成されたいわゆるBGA（Ball Grid Array）で構成されており、マザーボードに実装し得るようになされている。この場合、多層配線基板53の他方の面53Bに設けられた各ランド54Bにはんだボール56を形成せずに、多層配線基板53の他方の面53B側のランド54Bを剥き出しの状態にしてよい。

【0038】以上の構成において、この半導体装置50では、異方性導電フィルム42上にペアチップ34及び

チップ部品36を配置したことにより、異方性導電フィルム42の周縁部の位置を、チップ部品36の外側に配置することができるので、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取つた異方性導電フィルム42を多層配線基板53に対して接着する際の位置決め精度を従来の半導体装置に比して大幅に緩和することができる。従つてペアチップ34とチップ部品36との間隔は異方性導電フィルム42の切取り精度及び多層配線基板53に対する位置決め精度に依存しないので、従来の半導体装置に比してペアチップ34とチップ部品36との間隔を大幅に狭くすることができる。

【0039】またこの半導体装置50では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、ペアチップ34とチップ部品36とを同じ方法で多層配線基板53に対して実装し得るので、従来の実装方法に比して実装工程を簡易化し得ると共に実装時間を大幅に短縮することができる。またこの半導体装置50では、ペアチップ34及びチップ部品36は異方性導電フィルム42中の導電性粒子42Aを介して多層配線基板53の対応するランド54Aと電気的に接続されるので、ペアチップ34及びチップ部品36を多層配線基板53の対応するランド54Aと低抵抗で接続することができる。

【0040】またこの半導体装置50では、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、はんだを使用していない分、半導体装置50を軽量化し得ると共に、当該半導体装置50を廃棄処する際にはんだの廃棄を防止することができる。またこの半導体装置50では、多層配線基板53の一方の面53Aに設けられた各ランド54A上にNi/Auめつき層38が形成されているので、ペアチップ34及びチップ部品36と多層配線基板53との接続抵抗を低下させることができると共に、多層配線基板53の各ランド54Aとペアチップ34の各パット35及びチップ部品36の電極36Aとの導電性を向上させることができる。

【0041】またこの半導体装置50では、半導体装置50の実装密度を従来の半導体装置に比して高密度にし得るので、マザーボードに対する半導体装置50の実装密度を向上させることができる。さらにこの半導体装置50では、ペアチップ34及びチップ部品36がエポキシ樹脂55によって被覆されているので、半導体装置50を外部から保護することができる。

【0042】以上の構成によれば、異方性導電フィルム42上にペアチップ34及びチップ部品36を配置したことにより、1つの大きな異方性導電フィルムから異方性導電フィルム42を切り取る際の切り取り精度及び当該切り取つた異方性導電フィルム42を多層配線基板53に対して接着する際の位置決め精度を従来の半導体装

置に比して大幅に緩和することができるので、従来の半導体装置に比してペアチップ34と当該ペアチップ34の周囲に配置されるチップ部品36との間隔を大幅に狭くすることができる。かくして簡易な工程によつて高密度実装し得る低ノイズの半導体装置50を実現することができる。

【0043】(3)他の実施例

なお上述の実施例においては、異方性導電フィルム42上にペアチップ34及びチップ部品36が配置された実装基板30について述べたが、本発明はこれに限らず、図4に示すように、ペアチップ34の回路面34Aと対向する面側及びチップ部品36の電極36Aが形成されている面と対向する面側を、例えばエポキシ樹脂61によつて被覆するようにしても上述の実施例と同様の効果を得ることができます。

【0044】このエポキシ樹脂61を形成する工程は、図2(C)に示す工程を実行した後、低粘度の液状樹脂(例えばエポキシ樹脂)を、例えばディスペンサ等を用いてペアチップ34の回路面34Aと対向する面及びチップ部品36の電極36Aが形成されている面と対向する面上に滴下した後、硬化させることにより行われる。これにより、ペアチップ34及びチップ部品36がエポキシ樹脂61によつて封止されるので実装基板30を外部から保護することができる。

【0045】また上述の実施例においては、本発明をチップサイズパッケージで構成される半導体装置50に適用した場合について述べたが、本発明はこれに限らず、図3との対応部分に同一符号を付して示す図5に示すように、マルチチップモジュール型の半導体装置70に本発明を適用しても上述の実施例と同様の効果を得ることができます。

【0046】図5に示すように、半導体装置70はペアチップ34の各パット35及びチップ部品36の電極36Aと、ガラスエポキシ基板71及び所定の配線バターン層72が交互に積層形成されてなる多層配線基板73の一方の面73Aに設けられた対応するランド74Aとが、異方性導電フィルム42中の導電性粒子42Aを介して電気的に接合されることにより、多層配線基板73の一方の面73Aにペアチップ34及びチップ部品36が実装されて構成されている。この場合、上述の半導体装置50と同様にペアチップ34及びチップ部品36をエポキシ樹脂61によつて封止してもよい。

【0047】またこの半導体装置70の場合、多層配線基板73の他面73Bに設けられた各ランド74B上に所定のビッチで例えばCでなるはんだボール75が形成されたいわゆるBGAで構成されており、マザーボードに実装し得るようになされている。ここで多層配線基板73の他面73Bに設けられた各ランド74上にはんだボール75を形成せずに、多層配線基板73の他方の面73B側の各ランド74Bを剥き出しの状態にしても

よい。

【0048】さらに図6に示すように、半導体装置70において、はんだボール75に代えて、多層配線基板73の他方の面73Bにピン型コネクタ76を装着してもよい。この場合、ピン型コネクタ76は多層配線基板73の他方の面73Bに設けられた各ランド74Bと電気的に接続される。従つて半導体装置70をマザーボードに実装する際、当該半導体装置70を容易に取り扱うことができると共に、当該半導体装置70を容易に交換することができる。このピン型コネクタ76は半導体装置50にも適用することができ、同様の効果を得ることができる。

【0049】また上述の実施例においては、ペアチップ34をマザーボード31に実装した後、チップ部品36をマザーボード31に実装した場合について述べたが、本発明はこれに限らず、チップ部品36をマザーボード31に実装した後、ペアチップ34をマザーボード31に実装するようにして上述の実施例と同様の効果を得ることができる。また上述の実施例においては、ペアチップ34及びチップ部品36を別個にマザーボード31に実装した場合について述べたが、本発明はこれに限らず、ペアチップ34及びチップ部品36を一括してマザーボード31に実装してもよい。この場合、ペアチップ34及びチップ部品36を同一工程でマザーボード31に実装し得るので、実装工程を一段と簡易化することができると共に、実装時間を一段と短縮することができる。

【0050】また上述の実施例においては、ペアチップ34及びチップ部品36を異方性導電フィルム42のガラス転移点温度以下の温度でマザーボード31に仮付けした後、ペアチップ34及びチップ部品36をマザーボード31に熱圧着して実装した場合について述べたが、本発明はこれに限らず、ペアチップ34及びチップ部品36を異方性導電フィルム42のガラス転移点温度以下の温度でマザーボード31に仮付けし、ペアチップ34及びチップ部品36の導通テスト及び動作テストを行つた後、これらペアチップ34及びチップ部品36を一括して熱圧着するようにしてもよい。これにより、実装基板30の不良品の発生を未然に防止することができる。

【0051】また上述の実施例においては、100~240[°C]の圧着温度、5~40[秒]の圧着時間、1パンプ当たり5~10[g]程度の圧力の熱圧着条件でペアチップ34及びチップ部品36を異方性導電フィルム42に対して熱圧着した場合について述べたが、本発明はこれに限らず、要はペアチップ34及びチップ部品36を異方性導電フィルム42に熱圧着し得れば、この他種々の熱圧着条件でペアチップ34及びチップ部品36を異方性導電フィルム42に対して熱圧着してもよい。

【0052】また上述の実施例においては、一方の面に複数の電子部品の各電極に対応したランドが設けられた

配線基板として、マザーボード34、多層配線基板53及び多層配線基板73を用いた場合について述べたが、本発明はこれに限らず、一方の面に複数の電子部品の各電極に対応したランドが設けられた配線基板として、紙エポキシ基板、アラミド基板、ポリイミド基板及びビスマレイドトリアジン(BT)-レジン基板等の有機配線基板、アルミナ、ムライト及びガラスセラミック等のセラミック多層配線基板及びシリコン基板上のCu/ポリイミド配線基板などの配線基板等、この他種々の配線基板を適用し得る。

【0053】また上述の実施例においては、各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する異方性導電部材として異方性導電フィルム42を用いた場合について述べたが、本発明はこれに限らず、各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持する異方性導電部材として、例えば熱硬化性エポキシ樹脂や熱可塑性のゴム系樹脂と導電性粒子と溶剤とが混合されてなるペースト状の異方性導電フィルムや、例えばAu及びNi等の金属粒子が分散された異方性導電フィルムを用いてもよい。ペースト状の異方性導電部材を用いる場合には、スクリーン印刷法を用いてマザーボード31の一方の面34Aに形成するか、又はディスペンサ等を用いて接合面に直接滴下してもよい。

【0054】また上述の実施例においては、各電子部品の電極が設けられている面と対向する面側を被覆する絶縁性樹脂としてエポキシ樹脂55及び61を用いた場合について述べたが、本発明はこれに限らず、各電子部品の電極が設けられている面と対向する面側を被覆する絶縁性樹脂としてこの他種々の絶縁性樹脂を適用し得る。さらに上述の実施例においては、ランド上に設けられた電気的接続手段としてはんだボール56、75及びピン型コネクタ76を用いた場合について述べたが、本発明はこれに限らず、ランド上に設けられた電気的接続手段としてこの他種々の電気的接続手段を適用し得る。

【0055】

【発明の効果】上述のように本発明によれば、異方性導電部材を介して各電子部品の各電極をそれぞれ配線基板の対応するランドに接合すると共に、各電子部品と配線基板とを一体に保持するようにしたことにより、各電子部品の間隔は異方性導電部材の切取り精度及び配線基板に対する位置決め精度に依存しないので、各電子部品の配置間隔を大幅に狭めることができる。かくして高密度実装し得る実装基板、電子部品実装方法及び半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明による実装基板の一実施例を示す略線的断面図(A)及び略線的上面図(B)である。

【図2】本発明による実装基板の製造工程の一実施例を

示す略線的断面図である。

【図3】本発明による半導体装置の一実施例を示す略線的断面図である。

【図4】他の実施例による実装基板を示す略線的断面図である。

【図5】他の実施例による半導体装置を示す略線的断面図である。

【図6】他の実施例による半導体装置を示す略線的断面図である。

【図7】従来の実装基板を示す略線的断面図(A)及び略線的上面図(B)である。

* 【図8】異方性導電フィルムを用いた従来の実装基板を示す略線的断面図(A)及び略線的上面図(B)である。

【符号の説明】

30……実装基板、31……マザーボード、34……ペアチップ、35……パッド、36……チップ部品、37A、37B……ランド、40……パンプ、42……異方性導電フィルム、50、70……半導体装置、53、73……配線基板、55、61……エポキシ樹脂、56、75……はんだボール、76……ピン型コネクタ。

*

【図1】

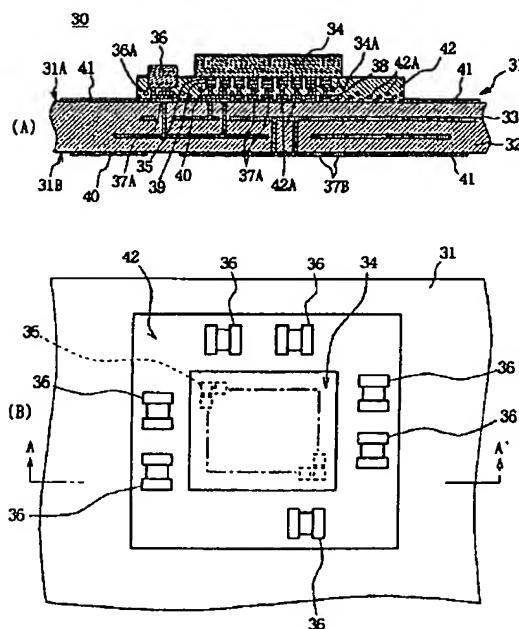


図1 実施例による実装基板の構成

【図2】

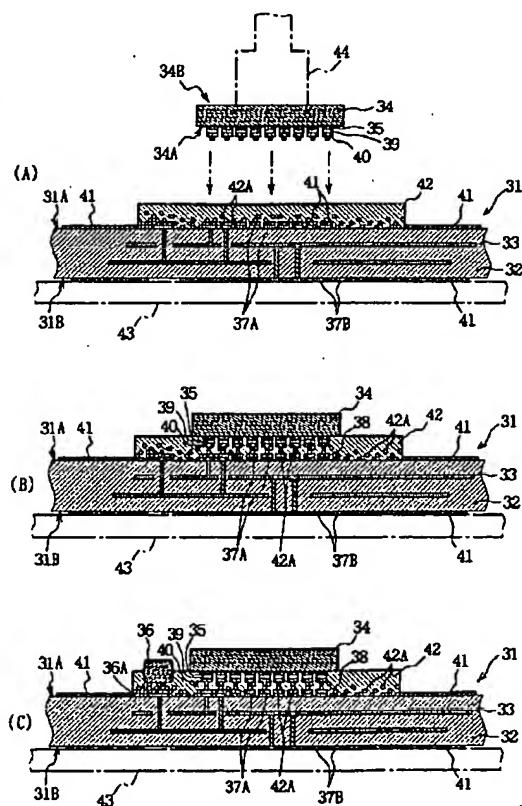


図2 実装基板の製造工程

【図3】

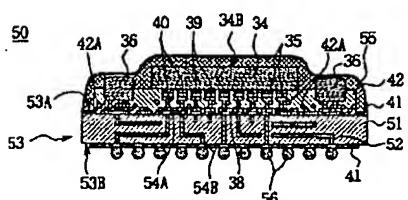


図3 実施例による半導体装置の構成

〔图4〕

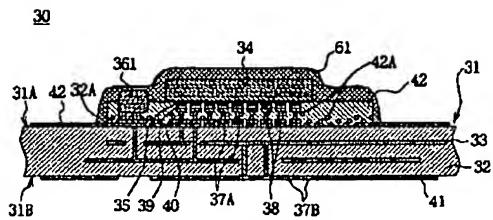


図4 他の実施例による実装基板の構成

[図5]

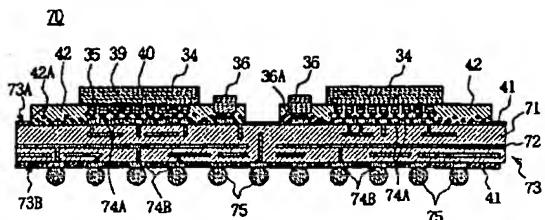


図5 他の実施例による半導体装置の構成

[圖6]

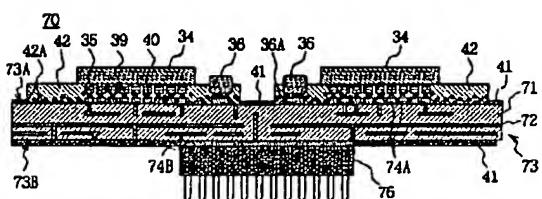
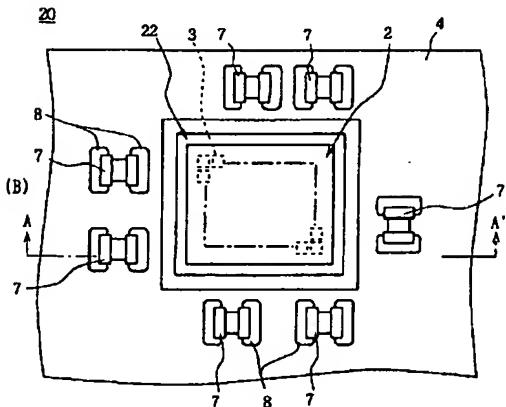
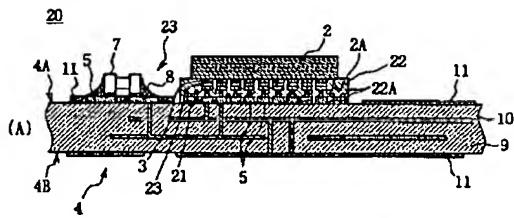


図6 他の実施例による半導体装置の構成

【図8】



[図7]

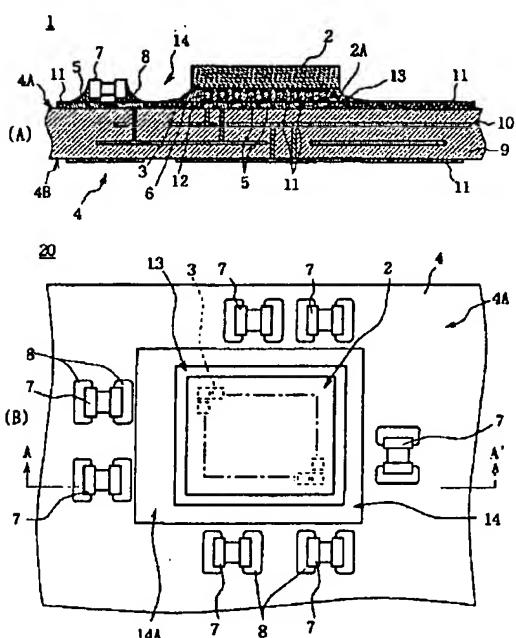


図7 従来の実装基板の一構成例

図8 異方性導電フィルムを用いた従来の実装基板の一構成例